

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:

2003年 7月25日

出 願 番 号 Application Number:

人

特願2003-202132

[ST. 10/C]:

[J P 2 0 0 3 - 2 0 2 1 3 2]

出 願 Applicant(s):

株式会社東芝

- - -

特許庁長官 Commissioner, Japan Patent Office 2004年 1月27日





【書類名】

特許願

【整理番号】

ASB0370121

【あて先】

特許庁長官殿

【国際特許分類】

G06T 3/40

【発明の名称】

画像処理装置および画像処理方法

【請求項の数】

12

【発明者】

【住所又は居所】

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝

マイクロエレクトロニクスセンター内

【氏名】

上谷 義治

【特許出願人】

【識別番号】

000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】

100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】

(03) 3457-2512

【先の出願に基づく優先権主張】

【出願番号】

特願2003-115355

【出願日】

平成15年 4月21日

【手数料の表示】

【予納台帳番号】

010261

【納付金額】

21,000円

【提出物件の目録】

【物件名】

明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【包括委任状番号】 0016857

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置および画像処理方法

【特許請求の範囲】

【請求項1】 実画素の画素値が入力され、この実画素の画素値を用いて高域補 正された生成画素の画素値を算出する第1のフィルタと、

前記実画素の画素値および前記生成画素の画素値が入力され、これらの画素値を 用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備す ることを特徴とする画像処理装置。

【請求項2】 実画素の画素値が入力され、この実画素の画素値を用いて高域強調された生成画素の画素値を算出する第1のフィルタと、

前記生成画素の画素値が入力され、この画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴とする画像処理装置。 ・

【請求項3】 実画素の画素値が入力され、この実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1のフィルタと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴とする画像処理装置。

【請求項4】 前記実画素の画素値が入力され、この実画素の画素値を用いて前記補間画素の画素値の許容範囲を決定する画素値許容範囲決定回路を更に具備し

前記生成画素の画素値が高域強調されたものである場合、前記第2のフィルタが 、前記許容範囲に振幅制限された前記補間画素の画素値を算出することを特徴と する請求項2または3のいずれか1項記載の画像処理装置。

【請求項5】 前記実画素の画素値を記憶し、前記第1のフィルタへ前記実画素の画素値を出力するバッファメモリと、

画素数変換比率に従って、前記第1のフィルタ、前記第2のフィルタ、および、

2/

前記バッファメモリの動作を制御する制御回路とを更に具備することを特徴とする請求項1乃至4のいずれか1項記載の画像処理装置。

【請求項6】 前記第1のフィルタが、前記制御回路から入力されたフィルタ係数を用いて前記実画素の画素値の畳み込み演算を行い、前記生成画素の画素値を 算出することを特徴とする請求項5記載の画像処理装置。

【請求項7】 前記第1のフィルタが、偶数個の前記実画素の画素値の畳み込み 演算を行い、前記高域補正された生成画素の画素値を算出することを特徴とする 請求項1または3のいずれか1項記載の画像処理装置。

【請求項8】 前記第1のフィルタが、前記実画素の画素値を用いて高域制限された生成画素の画素値を算出することを特徴とする請求項1乃至7のいずれか1項記載の画像処理装置。

【請求項9】 実画素の画素値を用いて高域補正された生成画素の画素値を算出する第1の処理ステップと、

前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間 画素の画素値を算出する第2の処理ステップとを具備することを特徴とする画像 処理方法。

【請求項10】 実画素の画素値を用いて高域強調された生成画素の画素値を算出する第1の処理ステップと、

前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第 2の処理ステップとを具備することを特徴とする画像処理方法。

【請求項11】 実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1の処理ステップと、

前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴とする画像処理方法。

【請求項12】 前記実画素の画素値を用いて前記補間画素の許容範囲を決定する許容範囲決定ステップを更に具備し、

前記生成画素の画素値が高域強調されたものである場合、前記第2の処理ステップにおいて、前記許容範囲に振幅制限された前記補間画素の画素値を算出することを特徴とする請求項10または11のいずれか1項記載の画像処理方法。

【発明の詳細な説明】

$[0\ 0\ 0\ 1]$

【発明の属する技術分野】

本発明は、画像処理装置および画像処理方法に関し、特に、画像サイズ(画素数)の変換を行う画像処理装置および画像処理方法に関するものである。

[00002]

【従来の技術】

TVなどの表示装置で用いられる任意倍率での拡大や縮小の表示機能には、多くの種類の画像サイズ変換が求められる。

[0003]

この画像サイズ変換のうちの画像の拡大(画素数の増加)は、画素間に新たな画素を補間することにより行われる。この画素補間方法の代表的なものに、線形補間法と最近傍補間法とがある。

$[0\ 0\ 0\ 4]$

線形補間法とは、補間画素(補間により新たに生成される画素)と参照画素(補間画素を生成するために画素値が参照される画素)との距離に応じた値を係数とし、その係数を参照画素の画素値に重みづけすることで複数の参照画素の加重平均を行い、補間画素の画素値を算出する方法である。一方、最近傍補間法とは、補間画素の位置に最も近い参照画素の画素値を補間画素の画素値とする方法である。なお、画素値とは、画素の明るさや色の濃淡を表すデータ値であり、以下では、この画素値が0~255の間の実数で表された場合を例に挙げて説明する

[0005]

しかしながら、これらの画素補間方法には、以下のような問題があった。線形補間法は、元画像(サイズ変換前の画像)の画素をサイズ変換後の画像に用いない場合、画像の高周波成分が失われ、サイズ変換後の画像にぼけが生じる可能性

があった。一方、最近傍補間法は、線画画像に適用した場合、線幅が一定にならないためにエッジ部が強調され、画質が劣化する可能性があった。

[0006]

このような背景から、上記の問題を解決する画素補間方法として、補間画素と 参照画素との距離に応じて線形補間法と最近傍補間法とを切り替えて画素の補間 を行う画素補間方法が提案されている(例えば、特許文献1参照)。ここでは、 便宜上、この画素補間方法を線形補間/最近傍補間切替法と呼ぶ。

[0007]

図28は、この線形補間/最近傍補間切替法における、補間画素の両脇の参照画素2点から補間画素が受ける影響の変化を表す図である。横軸は、画素位置を0.0および1.0とした参照画素2点に対する補間画素の画素位置(位相)を示しており、一方、縦軸は、補間画素の画素値が参照画素2点から受ける影響の比率 α を示している。補間画素の画素値は、この値 α と画素位置0.0の参照画素の画素値との乗算結果に、値($1-\alpha$)と画素位置1.0の参照画素の画素値との乗算結果を足し合わすことで求められる。また、実線は、線形補間/最近傍補間切替法により補間した場合を示し、破線は、一般的な線形補間法により補間した場合を示している。

[0008]

線形補間/最近傍補間切替法では、補間画素と参照画素との距離を算出し、その距離が特定の閾値以上であれば、線形補間法により補間画素を生成する。一方、補間画素と参照画素との距離が閾値以下であれば、最近傍補間法により補間画素を生成する。

[0009]

このように、補間画素と参照画素との距離に応じて線形補間法と最近傍補間法とを切り替えると、補間画素と参照画素との距離が近い場合には、最近傍補間法により参照画素の画素値がそのまま補間画素の画素値となるため、画像の高周波成分が失われず、画像のぼけの発生を防ぐことができる。また、補間画素と参照画素との距離が遠い場合には、線形補間法が適用されるため、線幅が不均等にならず、エッジ部が強調されることを防ぐことができる。

【特許文献1】

特開2002-209096号公報(第4~6頁、図3~7)

[0010]

【発明が解決しようとする課題】

従来の画素補間法(線形補間/最近傍補間切替法)では、図28のように、参照画素の近傍の補間画素を生成する場合、一般の線形補間法を適用した場合に比較し、参照画素2点のうちの近い側の参照画素の影響を強く受けた補間画素が生成される。

$[0\ 0\ 1\ 1]$

このように、従来の画素補間方法は、補間画素の画素値が、その位相に比例して直線的に変化しない。このため、従来の画素補間法では、参照画素近傍の補間において元画像での画素値の変化の規則性に応じた補間画素が生成されず、画素の画素値の連続性が失われる可能性があった。

[0012]

この従来の画素補間法における画素値の連続性の喪失について、図29および図30を用いて説明を加える。図29は、サンプル画像の画素値を表す図であり、図30は、サイズ変換後の画像(図29に示したサンプル画像の画像サイズを2.5倍に変換した画像)の画素値を表す図である。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。なお、ここでの画素位置とは、各画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。また、図29のサンプル画像における画素位置5の画素(図29中にAと表示)は、図30の拡大処理後の画像における画素位置11の画素(図30中にAと表示)に対応している。

[0013]

図29のサンプル画像の画素位置1~3の画素では、画素の画素値が画素位置に比例して変化している。しかし、このサンプル画像に従来の画素補間方法により拡大処理を行うと、図30の画素位置3、4の画素のように画素値が画素位置に比例して変化しない補間画素が生じ、画素位置に対する画素値の変化の規則性がサンプル画像におけるものと異なったものとなる。これは、図29に示したサ

ンプル画像の画素位置2または4の画素を参照画素として、その参照画素近傍の画素(図30における画素位置3、4、8または9の画素)が補間された際に、この補間画素の画素値が、近傍の参照画素(図29における画素位置2または4の画素)の画素値の影響を強く受けたことに因っている。

$[0\ 0\ 1\ 4]$

画素の補間により、近傍画素から非連続的に画素値が変化する画素が生じると、その画素が強調され、そこに輪郭があるかのように観測者に認識される可能性がある。以下、便宜上、この擬似的に生じる輪郭を偽輪郭と呼ぶ。

[0015]

この偽輪郭が生じると、元画像とは異なった印象を観測者に与えるため、偽輪郭の発生は、画質の劣化要因となっていた。

$[0\ 0\ 1\ 6]$

本発明は、以上の背景からなされたもので、近傍画素との画素値の連続性を維持しつつ、線幅の不均等を軽減し、画像のぼけを生じずに画像の画素数を変更する画像処理装置および画像処理方法を提供することを目的とする。

$[0\ 0\ 1\ 7]$

すなわち、本発明は、元画像の状態を維持しつつ、画像の画素数を変更する画像処理装置および画像処理方法を提供することを目的とする。

[0018]

【課題を解決するための手段】

上記目的を達成するために、本発明に係る画像処理装置は、実画素の画素値が 入力され、この実画素の画素値を用いて高域補正された生成画素の画素値を算出 する第1のフィルタと、前記実画素の画素値および前記生成画素の画素値が入力 され、これらの画素値を用いて線形補間法により補間画素の画素値を算出する第 2のフィルタとを具備することを特徴としている。

[0019]

また、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて高域強調された生成画素の画素値を算出する第1のフィルタと、前記生成画素の画素値が入力され、この画素値を用いて線形補間法により補間

画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

[0020]

更に、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1のフィルタと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

[0021]

更に、本発明に係る画像処理方法は、実画素の画素値を用いて高域補正された 生成画素の画素値を算出する第1の処理ステップと、前記実画素の画素値および 前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第 2の処理ステップとを具備することを特徴としている。

[0022]

更に、本発明に係る画像処理方法は、実画素の画素値を用いて高域強調された 生成画素の画素値を算出する第1の処理ステップと、前記生成画素の画素値を用 いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備 することを特徴としている。

[0023]

更に、本発明に係る画像処理方法は、実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1の処理ステップと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴としている。

[0024]

【発明の実施の形態】

(第1の実施の形態)

以下に、本発明に係る画像処理装置および画像処理方法についての第1の実施の形態を図1乃至8を参照して説明する。なお、以下では、元画像(サイズ変換前の画像)に対して水平方向にサイズ変換を行う場合を例に挙げて説明する。

[0025]

まず、本実施の形態に係る画像処理装置について図1乃至9を参照して説明する。図1は、本実施の形態に係る画像処理装置の構成を示すブロック図である。図1に示すように、本実施の形態に係る画像処理装置は、バッファメモリ1、第1のフィルタであるプリフィルタ2、第2のフィルタである線形補間フィルタ3、および、制御回路4から構成されている。

[0026]

バッファメモリ1は、入力端子5から入力された画像データ列を一時的に記憶するためのメモリである。このバッファメモリ1は、制御回路4から入力される制御信号により、後段のプリフィルタ2へと画像データ列を出力する。画像データ列とは、画像においてサイズを変換する方向に画素位置が隣接する画素の画素値を並べたものである。よって、元画像に対して水平方向にサイズ変換を行う場合には、画像データ列は、画像において水平方向に画素位置が隣接する画素の画素値を並べたものとなる。また、ここでのバッファメモリ1に入力された画像データ列とは、元画像において水平方向に画素位置が隣接する実画素(元画像を構成する画素)の画素値D1を並べたものを指している。更に、画素値とは、画素の明るさや色の濃淡を表すデータ値であり、以下では、この画素値が0~255の間の実数で表された場合を例に挙げて説明する。

[0027]

プリフィルタ2は、バッファメモリ1から入力された画像データ列をもとに、 拡大処理時には高域補正された生成画素(このプリフィルタ2により新たに生成 される画素)の画素値D2を算出し、縮小処理時には高域制限された生成画素の 画素値D2を算出する。

[0028]

線形補間フィルタ3は、プリフィルタ2から実画素の画素値D1および生成画

素の画素値D2が入力され、拡大処理時には、実画素および生成画素を参照画素 (補間画素を生成するために画素値が参照される画素)として、線形補間法により、補間画素 (補間により生成される画素)の画素値D3を算出し、縮小処理時には、隣接する生成画素2点を参照画素として、線形補間法により、補間画素の画素値D3を算出する。この補間画素の画素値D3は出力端子6へと出力される

[0029]

制御回路 4 は、画素数変換比率(サイズ変換後の画像の画素数/サイズ変換前の画像の画素数)に従って、バッファメモリ1、プリフィルタ 2、および、線形補間フィルタ 3 の動作を制御する。この画素数変換比率は、入力端子 7 から入力される制御パラメータにより指定される。

[0030]

そして、以上に説明した構成により、補間画素の画素値D3が、その画素位置の順に従って、出力端子6から出力される。この画素位置の順に出力された補間画素の画素値D3は、サイズ変換後の画像において水平方向に画素位置が隣接する画素の画素値を並べたものに相当する。つまり、入力端子5から入力された元画像における画像データ列が、サイズ変換後の画像における画像データ列へと変換され、出力端子6から出力される。そして、以上のように生成された補間画素によりサイズ変換後の画像が構成される。

$[0\ 0\ 3\ 1]$

次に、プリフィルタ2の具体的な構成について図2を参照しながら説明する。 図2は、本実施の形態に係る画像処理装置におけるプリフィルタ2の構成を示す 回路図である。

$[0\ 0\ 3\ 2]$

レジスタ8~24は、すべて、イネーブル付きのD型フリップフロップであり、制御回路4により、これらのイネーブルが制御されることで、各フリップフロップの出力データの保持と更新が制御される。

[0033]

また、これらのレジスタのうちのレジスタ8~15は、タップ数(生成画素の

画素値D2の算出において参照される実画素の数)に応じた遅延回路を形成しており、入力端子25から入力された実画素の画素値D1を順次遅延し、最終的に出力端子42を介して出力する。

[0034]

セレクタ26は、制御回路4からの制御信号が入力端子27を介して入力され、この制御信号をもとに、タップ数を偶数タップにするか奇数タップにするかを制御する。セレクタ26がレジスタ11の出力データを選択することで偶数タップが形成され、レジスタ10の出力データを選択することで、レジスタ11、12から同一画素の画素値が出力され、奇数タップが形成される。

[0035]

加算器 $28 \sim 31$ は、フィルタ係数が同一となるタップ位置の実画素の画素値 D1を加算する。また、入力端子 32 には、制御回路 4 から各タップ位置に対するフィルタ係数 C1、C2、C3、C4が入力され、加算器 $28 \sim 31$ による加算結果が乗算器 $33 \sim 36$ でフィルタ係数と乗算され、この乗算結果の総和が加算器 $37 \sim 39$ で算出される。ここで、上記のような画像データ列のフィルタ係数による演算を畳み込み演算と呼ぶこととする。

[0036]

振幅制限器 40 は、加算器 39 から出力された乗算結果の総和に対して四捨五入を行い、更に、最大振幅以内($0\sim255$)に制限して、レジスタ 24 を介して出力端子 41 へと出力する。そして、この出力端子 41 から出力される画素値が、新たに生成される生成画素の画素値D 2 となる。

[0037]

この生成画素の画素位置は、セレクタ26によりタップ数を偶数タップとするか奇数タップとするかによって異なる。これについて、図3および図4を参照しながら説明する。図3は、偶数タップを形成した場合の生成画素と実画素との位置関係を示し、図4は、奇数タップを形成した場合の生成画素と実画素との位置関係を示している。ここで、図中の各実画素の下に付した符号は、その実画素の画素値が保持されたレジスタの符号を示しており、また、2つの実画素を結ぶ線は、その線により結ばれた実画素の画素値が、畳み込み演算において同一のフィ

ルタ係数を乗算されることを示している。例えば、レジスタ8、15に画素値が保持された2つの実画素は同一のフィルタ係数C1が乗算され、レジスタ9、14に画素値が保持された2つの実画素は同一のフィルタ係数C2が乗算される。

[0038]

偶数タップを形成すると、図3に示すように、レジスタ11、12の出力に画素値が保持された2つの実画素の中間を中心として実画素が対称に位置する。この対称に位置する実画素には同一のフィルタ係数が乗算されるため、畳み込み演算により生成される生成画素の画素位置は、レジスタ11、12の出力に画素値が保持された2つの実画素の中間位置となる。一方、奇数タップを形成すると、図4に示すように、レジスタ11、12の出力に画素値が保持された実画素を中心として他の実画素が対称に位置する。この対称に位置する実画素には同一のフィルタ係数が掛け合わされるため、畳み込み演算により生成される生成画素の画素位置は、中心の実画素と同一の画素位置となる。

[0039]

次に、出力端子41から画素値が出力される生成画素と出力端子42から画素値が出力される実画素との位置関係について図5および図6を参照して説明する。図5は、偶数タップを形成した場合のプリフィルタ2の動作を示すタイムチャートであり、図6は、奇数タップを形成した場合のプリフィルタ2の動作を示すタイムチャートである。図5および図6は、時刻T1から時刻T9までの各々の時刻において、入力端子25、レジスタ8~15、加算器28~31、乗算器33~36、および、出力端子41、42に入力されるデータの値を示している。また、d00~d15は元画像において水平方向に隣接する実画素の画素値D1であり、時刻T1から時刻T9までの間に入力端子25から画素位置の順に入力される。更に、出力端子41から出力される生成画素の画素値D2は関数で表されている。例えば、f1t(d00,...,d03,d04,...,d07)はd00~d07の実画素を用いて畳み込み演算を行った値を示し、f1t(d01,...,d04,d05,...,d08)はd01~d08の実画素を用いて畳み込み演算を行った値を示している。

[0040]

まず、偶数タップを形成した場合の出力端子41から画素値が出力される生成画素と出力端子42から画素値が出力される実画素との位置関係について図5を参照して説明する。時刻T5に、出力端子41からデータf1t(d00,...,d03,d04,...,d07)が出力され、出力端子42から実画素の画素値d03が出力される。偶数タップを形成すると、畳み込み演算により生成される生成画素の画素位置は、レジスタ11、12の出力に画素値が保持された2つの実画素の中間位置となる。つまり、d00~d07の実画素を用いて畳み込み演算を行うと、得られる演算結果は実画素d03と実画素d04との間に位置する生成画素の画素値となる。このため、時刻T5に出力端子41から画素値が出力される生成画素は、出力端子42から画素値が出力される実画素よりも0.5画素前に位置することとなる。この出力端子41から画素値が出力される生成画素と出力端子42から画素値が出力される実画素と生成画素との位置関係は、他の時刻においても同様である。

$[0\ 0\ 4\ 1\]$

次に、奇数タップを形成した場合の出力端子41から画素値が出力される生成画素と出力端子42から画素値が出力される実画素との位置関係について図6を参照して説明する。時刻T5に、出力端子41からデータflt(d00,...,d03,d03,...,d06)が出力され、出力端子42から実画素の画素値d03が出力される。奇数タップを形成すると、畳み込み演算により生成される生成画素の画素位置は、中心の実画素と同一の画素位置となる。つまり、d00~d06の実画素を用いて畳み込み演算を行うと、得られる演算結果は実画素d03と同一位置に位置する生成画素の画素値となる。このため、時刻T5に出力端子41から画素値が出力される生成画素は、出力端子42から画素値が出力される実画素と同一の画素位置となる。この出力端子41から画素値が出力される生成画素と出力端子42から画素値が出力される実画素が生成画素との位置関係は、他の時刻においても同様である。

$[0\ 0\ 4\ 2]$

このように、出力端子41から画素値が出力される生成画素と出力端子42から画素値が出力される実画素が生成画素との位置関係は、偶数タップ形成時には

、実画素が生成画素よりも0.5画素前に位置することとなり、奇数タップ形成時には、実画素と生成画素とが同一の画素位置となる。

[0043]

なお、拡大処理を行う場合には、偶数タップを形成することで生成画素の画素 位置を実画素の中間位置とし、実画素間に生成画素を補間して画素数の2倍化処 理を行う。そして、この生成画素の補間により、画像データ列の高周波成分が周 波数特性に応じて強調されるように、フィルタ係数C1、C2、C3、C4を設 定する。図29に示されたサンプル画像に対して生成画素で補間を行った画像の 画素値を表す図を図7に示す。横軸は、例えば水平方向に隣接して並んだ各画素 の画素位置を示しており、縦軸は各画素の画素値を示している。また、図29の サンプル画像における画素位置5の画素(図29中にAと表示)は、図7の生成 画素で補間を行った画像における画素位置9の画素(図7中にAと表示)に対応 している。なお、ここでの画素位置とは、生成画素で補間後の画像において水平 方向に隣接して並んだ各画素に順に番号を付したものである。また、斜線を施し た部分は実画素間に補間された生成画素を示しており、斜線を施していない部分 は実画素を示している。生成画素が実画素間に補間されることで、画素数が2倍 化し、更に、高周波成分が強調されている。ここで、以上のように、生成画素の 画素値D2を、実画素間への補間により画像データ列の高周波成分を強調する値 とすることを、高域補正と呼び、また、高域補正された生成画素を生成すること を高域補正処理と呼ぶこととする。

$[0\ 0\ 4\ 4]$

一方、縮小処理を行う場合には、偶数タップと奇数タップとのどちらを形成しても良い。この場合、出力端子41から出力される生成画素の画素値D2は、実画素による画像データ列とは別の新たな画像データ列を構成する。そして、この生成画素による新たな画像データ列が、実画素による画像データ列の高周波成分を抑制したものとなるように、フィルタ係数C1、C2、C3、C4を設定する。ここで、以上のように、生成画素の画素値D2を、実画素による画像データ列よりも高周波成分が抑制された新規な画像データ列を構成する値とすることを、高域制限と呼び、また、高域制限された生成画素を生成することを高域制限処理

と呼ぶこととする。

[0045]

次に、線形補間フィルタ3の具体的な構成について図8を参照しながら説明する。図8は、本実施の形態に係る画像処理装置における線形補間フィルタ3の構成を示す回路図である。

[0046]

入力端子43には、プリフィルタ2の出力端子41から出力された生成画素の画素値D2が入力される。また、入力端子44には、プリフィルタ2の出力端子42から出力された実画素の画素値D1が入力される。

$[0\ 0\ 4\ 7]$

レジスタ45は、イネーブル付きのD型フリップフロップであり、制御回路4によりイネーブルが制御されることで、入力端子43から入力される生成画素に対して1画素前に入力された生成画素の画素値D2を出力に保持している。

[0048]

レジスタ46~50は、1クロックごとに出力データを更新するD型フリップフロップである。

[0049]

セレクタ51は、制御回路4からの制御信号が入力端子52を介して入力され、この制御信号をもとに、入力端子43から入力された生成画素の画素値D2、または、レジスタ45の出力データのいずれか一方を選択して出力する。このセレクタ51は、縮小処理時には、レジスタ45の出力データを選択する。一方、拡大処理時には、入力端子44から入力された実画素よりも前の画素位置の補間を行う場合には、レジスタ45の出力データ(実画素よりも0.5画素前に位置する生成画素の画素値)を選択し、実画素よりも後の画素位置の補間を行う場合には、入力端子43から入力された生成画素の画素値D2(実画素よりも0.5 画素後に位置する生成画素の画素値)を選択する。

[0050]

セレクタ53は、制御回路4からの制御信号が入力端子54を介して入力され 、この制御信号をもとに、入力端子43から入力された生成画素の画素値D2、 または、入力端子44から入力された実画素の画素値D1のいずれか一方を選択して出力する。縮小処理時には、入力端子43から入力された生成画素の画素値D2を選択し、拡大処理時には、入力端子44から入力された実画素の画素値D1を選択する。

[0051]

[0052]

乗算器 5 7 は、制御回路 4 から補間画素の位相に応じた乗算係数 b が入力端子 5 8 を介して入力され、乗算結果 c 2 $(=b \times (a \ 2-a \ 1))$ を算出する。ここで、補間画素の位相とは、2 つの参照画素(a 1 , a 2 の画素値をもつ画素)の画素位置から補間画素の画素位置までの距離のことを指している。

[0053]

加算器 59 は、乗算結果 c2 (= $b \times$ (a2-a1)) およびセレクタ 51 の 出力データ a1 が、レジスタ 48、 49 を介して入力され、演算結果 c3 (= $a1+b \times$ (a2-a1)) を算出する。この演算結果 c3 (= $a1+b \times$ (a2-a1) は、表現を変えると、 $a1 \times (1-b) + a2 \times b$ と表され、この演算 により、補間画素の位相に応じた線形補間データが生成される。

[0054]

四捨五入器60は、この線形補間データを四捨五入し、レジスタ50および出力端子61を介して出力する。そして、この出力データが、サイズ変換後の画像の画像データを構成する補間画素の画素値D3となる。

[0055]

本実施の形態に係る画像処理装置により、図29に示されたサンプル画像の画素数を2.5倍に拡大処理した画像の画素値を表す図を図9に示す。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。また、図29のサンプル画像における画素位置5の画素(

図29中にAと表示)は、図9の拡大処理後の画像における画素位置11の画素(図9中にAと表示)に対応している。なお、ここでの画素位置とは、拡大処理後の画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。本実施の形態に係る画像処理装置により拡大処理した画像は、拡大処理によっても高周波成分が失われておらず、更に、図30に示した従来の線形補間/最近傍補間切替法により拡大処理した画像とは異なり、画素の画素値が非連続的に変化することによる偽輪郭が発生していない。

[0056]

上記のように、本実施の形態に係る画像処理装置は、画像の拡大処理において、隣接する実画素の中間に位置する高域強調された生成画素を生成し、この高域強調された生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。このように、本実施の形態に係る画像処理装置は、線形補間前に画像の高周波成分を強調しているため、線形補間法により画素の補間を行っても画像の高周波成分が失われることがなく、高周波成分の喪失による画像のぼけの発生を防ぐことができる。

[0057]

また、本実施の形態に係る画像処理装置は、画素補間方法に線形補間法を採用しており、参照画素の補間画素の画素値D3に対する影響度が補間画素の位相に比例している。このため、従来の線形補間/最近傍補間切替法により画素の補間を行った場合のように、偽輪郭が発生することがない。

[0058]

更に、一般的に、高周波成分の強い画像に縮小処理を行うと、元画像と異なった印象を与える画像となることがある。しかしながら、本実施の形態に係る画像処理装置は、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、縮小処理において、より自然な画像を得ることができる。

[0059]

次に、本実施の形態に係る画像処理方法について図10を参照して説明する。 図10は、本実施の形態に係る画像処理方法の手順を示すフローチャートである

[0060]

まず、画素数変換比率を設定する(S11)。そして、ステップS11において設定された画素数変換比率から画像サイズ変換処理が縮小処理になるかどうかを判断する(S12)。

[0061]

ステップS12において縮小処理になると判断された場合は、バッファメモリ1に記憶する画像データ列を更新し(S13)、このバッファメモリ1から読み出した実画素の画素値D1を用いて帯域制限処理を行い、帯域制限された生成画素の画素値D2を算出する(S14)。そして、次に、この帯域制限された生成画素の画素値D2を用いて線形補間処理を行い、補間画素の画素値D3を線形補間法により算出する(S15)。この線形補間処理が終了した後、一画面分の処理が終了していない場合は、ステップS13に戻り、一画面分の処理が終了するまで、上述したステップS13からS15までの処理を繰り返す(S16)。

[0062]

一方、ステップS12において縮小処理にならないと判断された場合(拡大処理となると判断された場合)は、バッファメモリ1に記憶する画像データ列を更新し(S17)、このバッファメモリ1から読み出した実画素の画素値D1を用いて高域補正処理を行い、高域補正された生成画素の画素値D2を算出する(S18)。この高域補正処理により、生成画素が実画素間に補間され、画素数の2倍化処理が行われる。そして、次に、実画素の画素値D1および高域補正された生成画素の画素値D2を用いて線形補間処理を行い、補間画素の画素値D3を算出する(S19)。この線形補間処理が終了した後、一画面分の処理が終了していない場合は、ステップS17に戻り、一画面分の処理が終了するまで、上述したステップS17からS19までの処理を繰り返す(S110)。

[0063]

以上において説明した本実施の形態に係る画像処理方法は、画像の拡大処理において、隣接する実画素の中間に位置する高域強調された生成画素を生成し、この高域強調された生成画素と実画素とを参照画素として線形補間法により画素の

補間を行っている。このように、本実施の形態に係る画像処理方法は、線形補間前に画像の高周波成分を強調しているため、線形補間法により画素の補間を行っても画像の高周波成分が失われることがなく、高周波成分の喪失による画像のぼけの発生を防ぐことができる。

$[0\ 0\ 6\ 4\]$

また、本実施の形態に係る画像処理方法は、画素補間方法に線形補間法を採用しており、補間画素の画素値D3が補間画素の位相に比例して直線的に変化している。このため、従来の線形補間/最近傍補間切替法により画素の補間を行った場合のように、偽輪郭が発生することがない。

[0065]

更に、本実施の形態に係る画像処理方法は、縮小処理において、高域制限した 生成画素を生成することで画像の高周波成分を抑制している。このため、縮小処理において、より自然な画像を得ることができる。

[0066]

なお、本実施の形態に係る画像処理装置の説明において、プリフィルタ2および線形補間フィルタ3の具体的な回路構成を示しているが、これらの回路構成は、これらに限られない。

[0067]

また、本実施の形態に係る画像処理装置は、2点の画素を参照画素として線形補間を行っているが、これに限られず、より多くの画素を参照画素として線形補間を行っても構わない。

$[0\ 0\ 6\ 8]$

更に、本実施の形態に係る画像処理装置における各構成要素(バッファメモリ 1、プリフィルタ 2、線形補間フィルタ 3、および、制御回路 4)は、そのすべてが同一の半導体チップ内に設けられてもよいし、これらの一部、または、すべてが他の構成要素から独立して設けられても構わない。

[0069]

更に、本実施の形態に係る画像処理装置および画像処理方法においては、高域 補正処理により実画素間に生成画素を補間し、画素数を2倍に増大させているが 、この画素数の増大率は2倍に限らない。例えば、画素数を2倍化した後、画素数が2倍化された画像データ列を、再度、プリフィルタ2に入力することで、画素数を4倍化しても構わない。

[0070]

更に、本実施の形態に係る画像処理装置および画像処理方法は、縮小処理において線形補間を行っているが、この線形補間は、必ずしも、必須の処理ではない。線形補間を行わずに、高域制限された生成画素を一定の間隔おきに抽出して新たな画像を構成することによっても、線形補間を行った場合と同様の効果が得られる。

[0071]

更に、本実施の形態に係る画像処理装置および画像処理方法においては、画像の水平方向のサイズ変換を行う場合を例に挙げて説明しているが、これに限られない。例えば垂直方向など他の方向に対して実施した場合においても、水平方向のサイズ変換を行った場合と同様の効果を得ることができる。

[0072]

更に、本実施の形態に係る画像処理装置および画像処理方法においては、一次元方向(水平方向)のサイズ変換についてのみ説明しているが、例えば、水平方向のサイズ変換を行った後に、この水平方向のサイズ変換がなされた画像を元画像として、垂直方向に対しても同様のサイズ変換を行うことで、2次元方向のサイズ変換を行うことができる。なお、この際は、一画面分の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよいし、所定のライン数の水平方向または垂直方向のサイズ変換を行ってもよい。

(第2の実施の形態)

以下に、本発明に係る画像処理装置および画像処理方法についての第2の実施の形態を図11乃至16を参照して説明する。

[0073]

まず、本実施の形態に係る画像処理装置について図11乃至15を参照して説明する。

[0074]

図11は、本実施の形態に係る画像処理装置の構成を示すブロック図である。なお、第1の実施の形態において図1を参照して説明したものと共通する部分については、図1と同一符号を付し、その説明を省略する。図11に示すように、本実施の形態に係る画像処理装置は、バッファメモリ1、第1のフィルタであるプリフィルタ62、第2のフィルタである線形補間フィルタ63、および、制御回路4とから構成されている。

[0075]

プリフィルタ62は、バッファメモリ1から入力された画像データ列をもとに、拡大処理時には高域強調された生成画素の画素値D2を算出し、縮小処理時には高域制限された生成画素の画素値D2を算出する。

[0076]

線形補間フィルタ63は、プリフィルタ62から生成画素の画素値D2が入力され、隣接する生成画素2点を参照画素として、線形補間法により、補間画素の画素値D3を算出する。この補間画素の画素値D3は出力端子6へと出力される

[0077]

次に、本実施の形態に係る画像処理装置におけるプリフィルタ62の具体的な構成について図12を参照しながら説明する。図12は、本実施の形態に係る画像処理装置におけるプリフィルタ62の構成を示す回路図である。なお、第1の実施の形態において図2を参照して説明したものと共通する部分については、図2と同一符号を付し、その説明を省略する。

[0078]

セレクタ26は、タップ数を偶数タップにするか奇数タップにするかを制御するためのものであり、レジスタ11の出力データを選択されることで偶数タップが形成され、レジスタ10の出力データが選択されることで、レジスタ11、12から同一画素値が出力され、奇数タップが形成される。なお、本実施の形態においては、拡大処理および縮小処理ともに、偶数タップと奇数タップとのどちらを形成しても良い。

[0079]

四捨五入器 6 4 は、加算器 3 9 から出力された畳み込み演算の結果に対して四捨五入を行い、最大振幅以内 (0~255) に制限せずに、レジスタ 2 4 を介して出力端子 4 1 へと出力する。

[0080]

そして、この出力端子41から出力されるデータが、実画素による画像データ列とは別の新たな画像データ列を構成する生成画素の画素値D2となる。

[0081]

ここで、拡大処理時には、この生成画素による新たな画像データ列が、実画素による画像データ列の高周波成分を強調したものとなるように、フィルタ係数C1、C2、C3、C4を設定する。図29に示されたサンプル画像をもとに上記のフィルタ係数を用いて算出した生成画素の画素値を表す図を図13に示す。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。なお、ここでの画素位置とは、生成画素からなる画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。また、図13では、奇数タップを形成し、実画素と同一の画素位置をもつ生成画素を生成した場合を示している。画素位置1、5、9の画素の画素値が増大し、かつ、画素位置3、7、11の画素の画素値が減少することで、画像データ列全体の振幅が増大され、図29に示されたサンプル画像の高周波成分が強調されている。ここで、以上のように、生成画素の画素値D2を、実画素による画像データ列よりも高周波成分が強調された新規な画像データ列を構成する値とすることを、高域強調と呼び、また、高域強調された生成画素を生成することを高域強調処理と呼ぶこととする。

[0082]

一方、縮小処理時には、生成画素による新たな画像データ列が、実画素による画像データ列の高周波成分を抑制したものとなるように、フィルタ係数C1、C2、C3、C4を設定する。つまり、第1の実施の形態において説明した高域制限がなされた生成画素の画素値D2が求まるように、フィルタ係数を設定する。

[0083]

次に、線形補間フィルタ63の具体的な構成について図14を参照しながら説明する。図14は、本実施の形態に係る画像処理装置における線形補間フィルタ63の構成を示す回路図である。

[0084]

入力端子65には、プリフィルタ2の出力端子41から出力された生成画素の 画素値D2が入力される。

[0085]

レジスタ66は、イネーブル付きのD型フリップフロップであり、制御回路4によりイネーブルが制御されることで、入力端子65から入力される生成画素に対して1画素前に入力された生成画素の画素値D2を出力に保持している。

[0086]

レジスタ67~71は、1クロックごとに出力データを更新するD型フリップ フロップである。

[0087]

加算器 72 は、レジスタ 66 の出力データ a1 が反転器 73 でビット反転されて生成された補数画素値と、入力端子 65 から入力される生成画素の画素値 a2 と値 12 とが 12 とを加算し、生成画素の画素値 12 とびスタ 13 を加算し、生成画素の画素値 12 とびスタ 13 を算出する。

[0088]

乗算器 7 4 は、制御回路 4 から補間画素の位相に応じた乗算係数 b が入力端子 7 5 を介して入力され、乗算結果 c 2 (= b × (a 2 - a 1)) を算出する。

[0089]

加算器 76 は、乗算結果 c2 (= $b \times$ (a2-a1)) およびレジスタ 66 の出力データ a1 が、レジスタ 69、70 を介して入力され、演算結果 c3 (= $a1+b \times$ (a2-a1)) を演算する。この演算結果 c3 (= $a1+b \times$ (a2-a1)) は、表現を変えると、 $a1 \times (1-b) + a2 \times b$ と表され、この演算により、補間画素の位相に応じた線形補間データが生成される。

[0090]

振幅制限器77は、この線形補間データを四捨五入し、更に、画素の画素値を

最大振幅以内 $(0\sim255)$ に制限して、レジスタ71および出力端子78を介して出力する。そして、この出力データが、サイズ変換後の画像の画像データを構成する補間画素の画素値D3となる。

[0091]

また、振幅制限器 7 7 は加算器 7 6 の後段に設けられ、生成画素の画素値 D 2 ではなく線形補間データを振幅制限するように構成されている。高域強調された生成画素の画素値 D 2 を補間画素の算出に用いられる前に振幅制限し、その振幅制限された生成画素の画素値をもとに線形補間を行うと、線形補間に用いられる参照画素の数が増えるため、本実施の形態のように、高域強調された生成画素の画素値 D 2 を補間画素の算出に用いられる前に振幅制限しない方が望ましい。

[0092]

本実施の形態に係る画像処理装置により、図29に示されたサンプル画像の画素数を2.5倍に拡大処理した画像の画素値を表す図を図15に示す。横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は各画素の画素値を示している。また、図29のサンプル画像における画素位置5の画素(図29中にAと表示)は、図15の拡大処理後の画像における画素位置11の画素(図15中にAと表示)に対応している。なお、ここでの画素位置とは、拡大処理後の画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。本実施の形態に係る画像処理装置により拡大処理した画像は、拡大処理によっても高周波成分が失われておらず、更に、図30に示された従来の線形補間/最近傍補間切替法により拡大処理した画像とは異なり、画素の画素値が非連続的に変化することによる偽輪郭が発生していない。

[0093]

上記のように、本実施の形態に係る画像処理装置は、画像の拡大処理において、高域強調された生成画素を生成し、この高域強調された生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。このため、本実施の形態に係る画像処理装置は、拡大処理において、第1の実施の形態と同様の効果を得ることができる。

[0094]

また、本実施の形態に係る画像処理装置は、第1の実施の形態同様、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、縮小処理においても、第1の実施の形態と同様の効果を得ることができる。

[0095]

次に、本実施の形態に係る画像処理方法について図16を参照して説明する。図16は、本実施の形態に係る画像処理方法の手順を示すフローチャートである。なお、本実施の形態に係る画像処理方法は、第1の実施の形態の説明において図10を参照して説明した高域補正処理(図10のステップS18)を高域強調処理(ステップS28)に置き換えたものであり、他のステップは同一である。よって、ここでは、第1の実施の形態に係る画像処理方法と共通するステップについては、その説明を省略する。

[0096]

ステップS22において縮小処理にならないと判断された場合(拡大処理となると判断された場合)は、バッファメモリ1に記憶する画像データ列を更新し(S27)、このバッファメモリ1から読み出した実画素の画素値D1を用いて高域強調処理を行い、高域強調された生成画素の画素値D2を算出する(S28)。そして、次に、高域強調された生成画素の画素値D2を用いて線形補間処理を行い、補間画素の画素値D3を算出する(S29)。この線形補間処理が終了した後、一画面分の処理が終了していない場合は、ステップS27に戻り、一画面分の処理が終了するまで、上述したステップS27からS29までの処理を繰り返す(S210)。

[0097]

以上において説明した本実施の形態に係る画像処理方法は、画像の拡大処理において、高域強調された生成画素を生成し、この高域強調された実画素を参照画素として線形補間法により画素の補間を行っている。また、本実施の形態に係る画像処理方法は、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、本実施の形態に係る画像処理方法は、第1の実施の形態と同様の効果を得ることができる。

[0098]

なお、本実施の形態に係る画像処理装置の説明において、第1の実施の形態同様、プリフィルタ62および線形補間フィルタ63の具体的な回路構成を示しているが、これらの回路構成は、これらに限られない。

[0099]

また、本実施の形態に係る画像処理装置は、2点の画素を参照画素として線形補間を行っているが、第1の実施の形態同様、これに限られず、より多くの画素を参照画素として線形補間を行っても構わない。

[0100]

更に、本実施の形態に係る画像処理装置における各構成要素(バッファメモリ1、プリフィルタ62、線形補間フィルタ63、および、制御回路4)は、第1の実施の形態同様、そのすべてが同一の半導体チップ内に設けられてもよいし、これらの一部、または、すべてが他の構成要素から独立して設けられても構わない。

[0101]

更に、本実施の形態に係る画像処理装置および画像処理方法は、縮小処理において線形補間を行っているが、第1の実施の形態同様、この線形補間は、必ずしも、必須の処理ではない。線形補間を行わずに、高域制限された生成画素を一定の間隔おきに抽出して新たな画像を構成することによっても、線形補間を行った場合と同様の効果が得られる。

$[0\ 1\ 0\ 2\]$

更に、本実施の形態に係る画像処理装置および画像処理方法においては、画像の水平方向のサイズ変換を行う場合を例に挙げて説明しているが、第1の実施の形態同様、これに限られない。例えば垂直方向など他の方向に対して実施した場合においても、水平方向のサイズ変換を行った場合と同様の効果を得ることができる。

[0103]

更に、本実施の形態に係る画像処理装置および画像処理方法においては、一次 元方向(水平方向)のサイズ変換についてのみ説明しているが、第1の実施の形 態同様、例えば、水平方向のサイズ変換を行った後に、この水平方向のサイズ変換がなされた画像を元画像として、垂直方向に対しても同様のサイズ変換を行うことで、2次元方向のサイズ変換を行うことができる。なお、この際は、一画面分の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよいし、所定のライン数の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよい。

(第3の実施の形態)

以下に、本発明に係る画像処理装置および画像処理方法についての第3の実施の形態を図17乃至20を参照して説明する。

[0104]

まず、本実施の形態に係る画像処理装置について図17乃至19を参照して説明する。

[0105]

図17は、本実施の形態に係る画像処理装置の構成を示すブロック図である。なお、第1の実施の形態において図1を参照して説明したものと共通する部分については、図1と同一符号を付し、その説明を省略する。図17に示すように、本実施の形態に係る画像処理装置は、バッファメモリ1、第1のフィルタであるプリフィルタ79、第2のフィルタである線形補間フィルタ80、および、制御回路4とから構成されている。

$[0\ 1\ 0\ 6]$

プリフィルタ79は、バッファメモリ1から入力された画像データ列をもとに、拡大処理時には高域補正もしくは高域強調された生成画素の画素値D2を算出し、縮小処理時には高域制限された生成画素の画素値D2を算出する。この高域補正、高域強調および高域制限は、第1および第2の実施の形態において説明したものと同一である。

[0107]

線形補間フィルタ80は、プリフィルタ79から実画素の画素値D1および生成画素の画素値D2が入力され、生成画素が高域補正されたものである場合は、 実画素および生成画素を参照画素として、線形補間法により、補間画素の画素値 D3を算出し、生成画素が高域強調もしくは高域制限されたものである場合は、 隣接する生成画素2点を参照画素として、線形補間法により、補間画素の画素値 D3を算出する。この補間画素の画素値D3は出力端子6へと出力される。

[0108]

次に、本実施の形態に係る画像処理装置におけるプリフィルタ79の具体的な構成について図18を参照しながら説明する。図18は、本実施の形態に係る画像処理装置におけるプリフィルタ79の構成を示す回路図である。なお、第1の実施の形態において図2を参照して説明したものと共通する部分については、図2と同一符号を付し、その説明を省略する。

[0109]

四捨五入器 8 1 は、加算器 3 9 から出力された畳み込み演算の結果に対して四捨五入を行い、画素の画素値を最大振幅以内(0~255)に制限せずに、レジスタ24を介して出力端子 4 1 へと出力する。そして、この出力端子 4 1 から出力される画素値が生成画素の画素値 D 2 となる。

[0110]

また、畳み込み演算に用いられるフィルタ係数C1、C2、C3、C4は、拡大処理時には、生成画素の画素値D2に高域補正または高域強調のいずれかの処理がほどこされるように設定され、縮小処理時には、生成画素の画素値D2に高域制限がほどこされるように設定されている。

[0111]

更に、拡大処理時に高域補正をほどこす場合には、セレクタ26にレジスタ1 1の出力データを選択させ、偶数タップを形成する。一方、拡大処理時に高域強調をほどこす場合、または、縮小処理時には、偶数タップまたは奇数タップのいずれを形成しても構わない。

$[0\ 1\ 1\ 2]$

次に、線形補間フィルタ80の具体的な構成について図19を参照しながら説明する。図19は、本実施の形態に係る画像処理装置における線形補間フィルタ80の構成を示す回路図である。なお、第1の実施の形態において図3を参照して説明したものと共通する部分については、図3と同一符号を付し、その説明を

省略する。

[0113]

プリフィルタ79が拡大処理時に生成画素の画素値D2に高域補正をほどこした場合には、セレクタ53は、入力端子44から入力される実画素の画素値D1を選択する。一方、プリフィルタ79が拡大処理時に生成画素の画素値D2に高域強調をほどこした場合、または、縮小処理時には、セレクタ53は、入力端子43から入力される生成画素の画素値D2を選択する。これにより、拡大処理時に生成画素の画素値D2に高域補正をほどこした場合には、生成画素と実画素とを参照画素として線形補間法により補間画素の画素値D3が算出され、拡大処理時に生成画素の画素値D2に高域強調をほどこした場合、または、縮小処理時には、画素位置が隣接する2つの生成画素を参照画素として線形補間法により補間画素の画素値D3が算出される。

[0114]

振幅制限器 82 は、加算器 59 から出力される線形補間データを四捨五入し、更に、最大振幅以内($0\sim2$ 55)に制限して、レジスタ 50 および出力端子 6 1 を介して出力する。そして、この出力データが、サイズ変換後の画像の画像データを構成する補間画素の画素値 D3 となる。

[0115]

また、振幅制限器 8 2 は加算器 5 9 の後段に設けられ、生成画素の画素値 D 2 ではなく線形補間データを振幅制限するように構成されている。高域強調された生成画素の画素値 D 2 を補間画素の算出に用いられる前に振幅制限し、その振幅制限された生成画素の画素値をもとに線形補間を行うと、線形補間に用いられる参照画素の数が増えるため、本実施の形態のように、高域強調された生成画素の画素値 D 2 を補間画素の算出に用いられる前に振幅制限しない方が望ましい。

[0.116]

以上において説明した本実施の形態に係る画像処理装置は、画像の拡大処理において、高域補正または高域強調のいずれかの処理がほどこされた生成画素を生成し、この生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。このため、本実施の形態に係る画像処理装置は、拡大処理において

、第1および第2の実施の形態と同様の効果を得ることができる。

[0117]

また、本実施の形態に係る画像処理装置は、上記の拡大処理において、生成画素に高域補正または高域強調のいずれの処理を行うかを、畳み込み演算に用いるフィルタ係数を選択することにより、任意に変更することができる。高域補正は、実画素間への生成画素の補間により、線形補間における参照画素の数が2倍化されるため、高周波成分を強調する度合いが弱くても良く、特に自然画像の拡大に適している。一方、高域強調は、実画素を線形補間の参照画素に用いていないため、高周波成分を強調する度合いを強くすることができ、テキスト画像の拡大に適している。

[0118]

更に、本実施の形態に係る画像処理装置は、第1および第2の実施の形態同様、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、縮小処理においても、第1および第2の実施の形態と同様の効果を得ることができる。

[0119]

次に、本実施の形態に係る画像処理方法について図20を参照して説明する。図20は、本実施の形態に係る画像処理方法の手順を示すフローチャートである。図20は、本実施の形態に係る画像処理方法の手順を示すフローチャートである。なお、本実施の形態に係る画像処理方法は、拡大処理において、高域補正処理(図10のステップS18)または高域強調処理(図16のステップS28)のいずれを行うかを実施者が選択できるものであり、他のステップは、第1および第2の実施の形態と同一である。よって、ここでは、第1および第2の実施の形態に係る画像処理方法と共通するステップについては、その説明を省略する。

[0120]

ステップS32において縮小処理にならないと判断された場合(拡大処理となると判断された場合)、引き続いて、拡大処理において高域補正処理を行うか判断する(S37)。

[0121]

ステップS37において、高域補正処理を行うと判断された場合、第1の実施の形態において図10を参照して説明したステップS17からS110までの処理と同様の処理を行う(S38~311)。

[0122]

一方、ステップS37において、高域補正処理を行わないと判断された場合(高域強調処理を行うと判断された場合)、第2の実施の形態において図16を参 照して説明したステップS27からS210までの処理と同様の処理を行う(S 312~315)。

[0.123]

以上において説明した本実施の形態に係る画像処理方法は、画像の拡大処理において、高域補正または高域強調のいずれかの処理がほどこされた生成画素を生成し、この生成画素と実画素とを参照画素として線形補間法により画素の補間を行っている。また、本実施の形態に係る画像処理方法は、縮小処理において、高域制限した生成画素を生成することで画像の高周波成分を抑制している。このため、本実施の形態に係る画像処理方法は、第1および第2の実施の形態と同様の効果を得ることができる。

[0124]

また、本実施の形態に係る画像処理方法は、拡大処理において、生成画素に高 域補正または高域強調のいずれの処理を行うかを、任意に変更することができる 。このため、対象の画像に合わせて、より最適な方法により拡大処理を行うこと ができる。

[0125]

なお、本実施の形態に係る画像処理装置の説明において、第1および第2の実施の形態同様、プリフィルタ79および線形補間フィルタ80の具体的な回路構成を示しているが、これらの回路構成は、これらに限られない。

[0126]

また、本実施の形態に係る画像処理装置は、2点の画素を参照画素として線形補間を行っているが、第1および第2の実施の形態同様、これに限られず、より多くの画素を参照画素として線形補間を行っても構わない。

[0127]

更に、本実施の形態に係る画像処理装置においては、生成画素の画素値D2が、補間画素の算出に参照画素として用いられる前に振幅制限されていないが、第2の実施の形態同様、これに限られず、生成画素の画素値D2は、補間画素の算出に用いられる前に振幅制限されても構わない。

[0128]

更に、本実施の形態に係る画像処理装置における各構成要素(バッファメモリ1、プリフィルタ79、線形補間フィルタ80、および、制御回路4)は、第1 および第2の実施の形態同様、そのすべてが同一の半導体チップ内に設けられてもよいし、これらの一部、または、すべてが他の構成要素から独立して設けられても構わない。

[0129]

更に、本実施の形態に係る画像処理装置および画像処理方法においては、高域 補正処理により実画素間に生成画素を補間し、画素数を2倍に増大させているが 、第1の実施の形態同様、この画素数の増大率は2倍に限らない。

[0130]

更に、本実施の形態に係る画像処理装置および画像処理方法は、縮小処理において線形補間を行っているが、第1および第2の実施の形態同様、この線形補間は、必ずしも、必須の処理ではない。線形補間を行わずに、高域制限された生成画素を一定の間隔おきに抽出して新たな画像を構成することによっても、線形補間を行った場合と同様の効果が得られる。

[0131]

更に、本実施の形態に係る画像処理装置および画像処理方法においては、画像の水平方向のサイズ変換を行う場合を例に挙げて説明しているが、第1および第2の実施の形態同様、これに限られない。例えば垂直方向など他の方向に対して実施した場合においても、水平方向のサイズ変換を行った場合と同様の効果を得ることができる。

$[0\ 1\ 3\ 2]$

更に、本実施の形態に係る画像処理装置および画像処理方法においては、一次

元方向(水平方向)のサイズ変換についてのみ説明しているが、第1および第2の実施の形態同様、例えば、水平方向のサイズ変換を行った後に、この水平方向のサイズ変換がなされた画像を元画像として、垂直方向に対しても同様のサイズ変換を行うことで、2次元方向のサイズ変換を行うことができる。なお、この際は、一画面分の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよいし、所定のライン数の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよい。

(第4の実施の形態)

以下に、本発明に係る画像処理装置および画像処理方法についての第4の実施の 形態を図21乃至27を参照して説明する。

[0133]

生成画素に高域強調をほどこす場合、図12および図18に示されたプリフィルタにおけるフィルタ係数C1、C2、C3、C4によっては、画像データ列全体の振幅が過剰に増大され、元画像において画素値の変化が緩やかな部分が拡大処理後の画像において過剰に強調される場合がある。本実施の形態に係る画像処理装置および画像処理方法は、上記課題に適用されるものである。

[0134]

まず、本実施の形態に係る画像処理装置について図21乃至24を参照して説明する。

[0135]

図21は、本実施の形態に係る画像処理装置の構成を示すブロック図である。 なお、第1の実施の形態において図1を参照して説明したものと共通する部分に ついては、図1と同一符号を付し、その説明を省略する。図21に示すように、 本実施の形態に係る画像処理装置は、バッファメモリ1、第1のフィルタである プリフィルタ83、画素値許容範囲決定回路84、第2のフィルタである線形補 間フィルタ85、および、制御回路86とから構成されている。

[0136]

プリフィルタ83は、バッファメモリ1から入力された画像データ列をもとに 、拡大処理時には高域強調された生成画素の画素値D2を算出し、縮小処理時に は高域制限された生成画素の画素値D2を算出する。

[0137]

画素値許容範囲決定回路 8 4 は、プリフィルタ 8 3 から実画素の画素値 D 1 が 入力され、この実画素の画素値 D 1 を用いて補間画素の画素値 D 3 の許容範囲を 算出する。すなわち、画素値許容範囲決定回路 8 4 は、実画素の画素値 D 1 を用 いて補間画素の画素値 D 3 の許容最大値および許容最小値を算出する。

[0138]

線形補間フィルタ85は、プリフィルタ83から生成画素の画素値D2が入力され、隣接する生成画素2点を参照画素として、線形補間法により、補間画素の画素値D3を算出する。ここで、この補間画素の画素値D3は、画素値許容範囲決定回路84が算出した補間画素の画素値D3の許容範囲(許容最小値から許容最大値までの範囲)に振幅制限される。すなわち、生成画素2点を参照画素とした線形補間により算出された線形補間データが許容範囲内の値である場合は、その線形補間データを補間画素の画素値D3とする。一方、線形補間データが許容最大値よりも大きい場合には、その許容最大値を補間画素の画素値D3とし、線形補間データが許容最小値よりも小さい場合には、その許容最小値を補間画素の画素値D3とする。この許容範囲に振幅制限された補間画素の画素値D3は出力端子6に出力される。

[0139]

制御回路86は、画素数変換比率に従って、バッファメモリ1、プリフィルタ 83、画素値許容範囲決定回路84、および、線形補間フィルタ85の制御を行 う。

[0140]

次に、本実施の形態に係る画像処理装置におけるプリフィルタ83の具体的な構成について説明する。

[0 1 4 1]

プリフィルタ83の具体的な構成は、第3の実施の形態において図18を参照 して説明したものと同一である。ただ、第3の実施の形態にいいては、拡大処理 時に生成画素の画素値D2に高域補正または高域強調のいずれかの処理がほどこ されるように、フィルタ係数C1、C2、C3、C4を設定するのに対し、本実施の形態においては、拡大処理時に生成画素の画素値D2に高域強調処理がほどこされるように、フィルタ係数C1、C2、C3、C4を設定する。

[0142]

図22に示されたサンプル画像をもとにプリフィルタ83により算出した生成画素の画素値を表す図を図23に示す。図22および図23において横軸は、例えば水平方向に隣接して並んだ各画素の画素位置を示しており、縦軸は、各画素の画素値を示している。なお、ここでの画素位置とは、画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。

[0143]

図22に示されたサンプル画像における画素位置1、5、9の画素の画素値が増大し、かつ、画素位置3、7、11の画素の画素値が減少することで、図23に示された生成画素による画像データ列は、サンプル画像に比較して画像データ列全体の振幅が増大し、高周波成分が強調されている。

[0144]

次に、本実施の形態に係る画像処理装置における画素値許容範囲決定回路 8 4 の具体的な構成について図 2 4 を参照しながら説明する。図 2 4 は、本実施の形態に係る画像処理装置における画素値許容範囲決定回路 8 4 の構成を示す回路図である。

[0145]

入力端子87には、プリフィルタ83が生成した生成画素の画素値D2が入力される。

[0146]

レジスタ88は、イネーブル付きのD型フリップフロップであり、制御回路86によりイネーブルが制御されることで、入力端子87から入力される生成画素に対して1画素前に入力された生成画素の画素値D2を出力に保持している。

[0147]

レジスタ89~92は、1クロックごとに出力データを更新するD型フリップ フロップである。

[0148]

加算器93は、レジスタ88の出力データa1が反転器94でビット反転されて生成された補数画素値と、入力端子87から入力された生成画素の画素値a2 とを加算する。入力端子87から入力された生成画素の画素値a2がレジスタ88の出力データa1よりも大きい場合には、この加算器93からキャリーが出力される。

[0149]

セレクタ95は、加算器93からのキャリーに基づいて、レジスタ88の出力 データa1、または、入力端子87から入力された生成画素の画素値a2のうち 、値が大きい方を選択して出力する。セレクタ95により選択されたデータa3 は、レジスタ89を介して論理和回路96に入力される。

[0150]

セレクタ97は、加算器93からのキャリーに基づいて、レジスタ88の出力 データa1、または、入力端子87から入力された生成画素の画素値a2のうち 、値が小さい方を選択して出力する。セレクタ97により選択されたデータa4 は、レジスタ90を介して論理積回路98に入力される。

[0151]

論理和回路96は、縮小処理などで補間画素の画素値D3の振幅制限を必要としない場合には、制御回路86から入力端子99を介して入力された制御信号により、セレクタ95の出力データa3の値にかかわらず、最大値(255)を出力する。一方、拡大処理などで補間画素の画素値D3の振幅制限を必要とする場合には、論理和回路96は、セレクタ95の出力データa3を出力する。論理和回路96の出力データは、レジスタ91を介して出力端子100に出力される。この出力端子100からの出力データが補間画素の画素値D3の許容最大値となる。

[0152]

論理積回路98は、縮小処理などで補間画素の画素値D3の振幅制限を必要としない場合には、制御回路86からの制御信号が反転器101でビット反転された信号により、セレクタ97の出力データa4の値にかかわらず、最小値(0)

を出力する。一方、拡大処理などで補間画素の画素値D3の振幅制限を必要とする場合には、論理積回路98は、セレクタ97の出力データa4を出力する。論理積回路98の出力データは、レジスタ92を介して出力端子102に出力される。この出力端子102からの出力データが補間画素の画素値D3の許容最小値となる。

[0153]

次に、線形補間フィルタ85の具体的な構成について図25を参照しながら説明する。図25は、本実施の形態に係る画像処理装置における線形補間フィルタ85の構成を示す回路図である。なお、第2の実施の形態において図14を参照して説明したものと共通する部分については、図14と同一符号を付し、その説明を省略する。

[0154]

入力端子103には、画素値許容範囲決定回路84の出力端子100から出力された許容最大値が入力される。また、入力端子104には、画素値許容範囲決定回路84の出力端子102から出力された許容最小値が入力される。

[0155]

振幅制限器105は、入力端子103、104を介して許容最大値および許容最小値が入力され、加算器76から出力された線形補間データを許容範囲(許容最小値から許容最大値までの範囲)内の値に制限する。すなわち、振幅制限器105は、線形補間データが許容最大値以上の値であった場合に、線形補間データの値を許容最大値と同一の値とし、線形補間データが許容最小値以下の値であった場合に、線形補間データの値を許容最小値と同一の値とする。振幅制限器105により振幅制限された線形補間データは、レジスタ71を介して出力端子78から出力される。そして、この出力端子78からの出力データが、サイズ変換後の画像データを構成する補間画素の画素値D3となる。

[0156]

図23に示された生成画素の画素値を用いて線形補間フィルタ85により線形補間処理を行い、図22に示されたサンプル画像を2.5倍に拡大処理した画像の画素値を表す図を図26に示す。図26において、横軸は、例えば水平方向に

隣接して並んだ各画素の画素位置を示しており、縦軸は、各画素の画素値を示している。なお、ここでの画素位置とは、画像において水平方向に隣接して並んだ各画素に順に番号を付したものである。また、図22のサンプル画像における画素位置5の画素(図22中にAと表示)は、図26の拡大処理後の画像における画素位置11の画素(図26中にAと表示)に対応している。

[0157]

図23に示された生成画素を参照画素として線形補間を行うと、得られる画像データ列の振幅は図22に示されたサンプル画像における画像データ列の振幅よりも大きくなる。しかし、例えば、図23における画素位置1の生成画素と画素位置2の生成画素とを参照画素とした線形補間においては、図22に示されたサンプル画像における画素位置1の実画素の画素値が許容最大値となり、画素位置2の実画素の画素値が許容最大値となり、画素位置2の実画素の画素値が許容最大値となり、画素位置2の実画素の画素値とされ、線形補間により得られる線形補間データが画素位置2の実画素の画素値とされ、線形補間データが画素位置2の実画素の画素値とされ、線形補間データが画素位置2の実画素の画素値とされ、線形補間データが画素位置2の実画素の画素値とされ、線形補間データが画素位置1の実画素の画素値とされる。これにより、図26に示された拡大処理後の画像における画像データ列の振幅と同一となる。また、図26に示された拡大処理した画像は、拡大処理によっても高周波成分が失われておらず、更に、従来の線形補間/最近傍補間切替法により拡大処理した画像とは異なり、画素の画素値が非連続的に変化することによる偽輪郭が発生していない。

[0158]

以上に説明した本実施の形態に係る画像処理装置は、画像の拡大処理において、画素値許容範囲決定回路84により実画素の画素値D1を用いて補間画素の画素値D3の許容範囲を決定し、この決定された許容範囲に振幅制限された補間画素の画素値D3を生成している。このため、本実施の形態に係る画像処理装置は、フィルタ係数C1、C2、C3、C4の値によらず、元画像の高周波成分が過剰に強調されることがない。よって、本実施の形態に係る画像処理装置は、プリフィルタのフィルタ係数に関わらず、元画像の状態を維持しつつ、画像の画素数

を変更することができる。

[0159]

また、本実施の形態に係る画像処理装置は、他の効果においても、第1乃至3 の実施の形態と同様の効果を得ることができる。

[0160]

次に、本実施の形態に係る画像処理方法について図27を参照して説明する。 図27は、本実施の形態に係る画像処理方法の手順を示すフローチャートである 。なお、本実施の形態に係る画像処理方法は、図16を参照して説明した第2の 実施の形態に係る画像処理方法に補間画素の画素値D3の許容範囲を定めるステ ップを追加したものであり、他のステップは同一である。よって、ここでは、第 2の実施の形態に係る画像処理方法と共通するステップについては、その説明を 省略する。

$[0 \ 1 \ 6 \ 1]$

高域強調処理(S48)を行った後、補間画素の画素値D3の許容範囲を決定する(S49)。このステップS49においては、画素位置が隣接する2つの実画素のうち、画素値が大きい方を許容最大値とし、画素値が小さい方を許容最小値とする。

[0162]

次に、高域強調された生成画素の画素値D2を用いて線形補間処理を行い、ステップS49で決定された許容範囲に振幅制限された補間画素の画素値D3を算出する(S410)。このステップS410においては、生成画素を参照画素とした線形補間により得られた線形補間データがステップS49で決定された許容範囲外の値となる場合に、補間画素の画素値D3が許容範囲内の値となるように線形補間データの振幅制限を行う。具体的には、線形補間データが許容範囲内である場合は、その線形補間データを補間画素の画素値D3とする。一方、線形補間データが許容最大値以上の値となった場合は、許容最大値を補間画素の画素値D3とし、線形補間データが許容最大値以下の値となった場合は、許容最小値を補間画素の画素値D3とする。

[0163]

以上に説明した本実施の形態に係る画像処理方法は、画像の拡大処理において、生成画素を参照画素として線形補間法を行った後、この線形補間により得られた補間画素の画素値D3を、実画素の画素値D1を用いて決定された許容範囲に振幅制限している。このため、本実施の形態に係る画像処理方法は、元画像の高周波成分が過剰に強調されることがない。よって、本実施の形態に係る画像処理方法は、プリフィルタのフィルタ係数に関わらず、元画像の状態を維持しつつ、画像の画素数を変更することができる。

[0164]

なお、本実施の形態に係る画像処理装置の説明において、画素値許容範囲決定 回路84および線形補間フィルタ85の具体的な回路構成を示しているが、これ らの回路構成は、これらに限られない。

[0165]

また、本実施の形態に係る画像処理装置は、2点の画素を参照画素として線形補間を行っているが、第1乃至3の実施の形態同様、これに限られず、より多くの画素を参照画素として線形補間を行っても構わない。

$[0\ 1\ 6\ 6\]$

更に、本実施の形態に係る画像処理装置における各構成要素(バッファメモリ 1、プリフィルタ83、画素値許容範囲決定回路84、線形補間フィルタ85、および、制御回路86)は、第1乃至3の実施の形態同様、そのすべてが同一の 半導体チップ内に設けられてもよいし、これらの一部、または、すべてが他の構成要素から独立して設けられても構わない。

$[0\ 1\ 6\ 7]$

更に、本実施の形態に係る画像処理装置および画像処理方法は、縮小処理において線形補間を行っているが、第1乃至3の実施の形態同様、この線形補間は、必ずしも、必須の処理ではない。線形補間を行わずに、高域制限された生成画素を一定の間隔おきに抽出して新たな画像を構成することによっても、線形補間を行った場合と同様の効果が得られる。

[0168]

更に、本実施の形態に係る画像処理装置および画像処理方法においては、画像

の水平方向のサイズ変換を行う場合を例に挙げて説明しているが、第1乃至3の 実施の形態同様、これに限られない。例えば垂直方向など他の方向に対して実施 した場合においても、水平方向のサイズ変換を行った場合と同様の効果を得るこ とができる。

[0169]

更に、本実施の形態に係る画像処理装置および画像処理方法においては、一次元方向(水平方向)のサイズ変換についてのみ説明しているが、第1乃至3の実施の形態同様、例えば、水平方向のサイズ変換を行った後に、この水平方向のサイズ変換がなされた画像を元画像として、垂直方向に対しても同様のサイズ変換を行うことで、2次元方向のサイズ変換を行うことができる。なお、この際は、一画面分の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよいし、所定のライン数の水平方向または垂直方向のサイズ変換が終了した後に、もう一方向のサイズ変換を行ってもよい。

[0170]

本発明は、実施段階ではその要旨を変更しない範囲で種々に変形することが可能である。

[0171]

以上、詳述したように、本発明に係る画像処理装置および画像処理方法の特徴をまとめると以下の通りになる。

[0172]

本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて高域補正された生成画素の画素値を算出する第1のフィルタと、前記 実画素の画素値および前記生成画素の画素値が入力され、これらの画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

[0173]

また、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて高域強調された生成画素の画素値を算出する第1のフィルタと、前記生成画素の画素値が入力され、この画素値を用いて線形補間法により補間

画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

[0174]

更に、本発明に係る画像処理装置は、実画素の画素値が入力され、この実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1のフィルタと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2のフィルタとを具備することを特徴としている。

[0175]

更に、本発明に係る画像処理装置は、前記実画素の画素値が入力され、この実画素の画素値を用いて前記補間画素の画素値の許容範囲を決定する画素値許容範囲決定回路を更に具備し、前記生成画素の画素値が高域強調されたものである場合、前記第2のフィルタが、前記許容範囲に振幅制限された前記補間画素の画素値を算出することを特徴としている。

[0176]

更に、本発明に係る画像処理装置は、前記実画素の画素値を記憶し、前記第1のフィルタへ前記実画素の画素値を出力するバッファメモリと、画素数変換比率に従って、前記第1のフィルタ、前記第2のフィルタ、および、前記バッファメモリの動作を制御する制御回路とを更に具備することを特徴としている。

[0177]

更に、本発明に係る画像処理装置は、前記第1のフィルタが、前記制御回路から入力されたフィルタ係数を用いて前記実画素の画素値の畳み込み演算を行い、前記生成画素の画素値を算出することを特徴としている。

[0178]

更に、本発明に係る画像処理装置は、前記第1のフィルタが、偶数個の前記実 画素の画素値の畳み込み演算を行い、前記高域補正された生成画素の画素値を算 出することを特徴としている。

[0179]

更に、本発明に係る画像処理装置は、前記第1のフィルタが、前記実画素の画素値を用いて高域制限された生成画素の画素値を算出することを特徴としている

[0180]

更に、本発明に係る画像処理方法は、実画素の画素値を用いて高域補正された 生成画素の画素値を算出する第1の処理ステップと、前記実画素の画素値および 前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第 2の処理ステップとを具備することを特徴としている。

[0181]

更に、本発明に係る画像処理方法は、実画素の画素値を用いて高域強調された 生成画素の画素値を算出する第1の処理ステップと、前記生成画素の画素値を用 いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備 することを特徴としている。

[0182]

更に、本発明に係る画像処理方法は、実画素の画素値を用いて、高域補正もしくは高域強調された生成画素の画素値を算出する第1の処理ステップと、前記生成画素の画素値が高域補正されたものである場合、前記実画素の画素値および前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出し、前記生成画素の画素値が高域強調されたものである場合、前記生成画素の画素値を用いて線形補間法により補間画素の画素値を算出する第2の処理ステップとを具備することを特徴としている。

[0183]

更に、本発明に係る画像処理方法は、前記実画素の画素値を用いて前記補間画素の許容範囲を決定する許容範囲決定ステップを更に具備し、

前記生成画素の画素値が高域強調されたものである場合、前記第2の処理ステップにおいて、前記許容範囲に振幅制限された前記補間画素の画素値を算出することを特徴としている。

[0184]

【発明の効果】

本発明によれば、元画像の状態を維持しつつ、画像の画素数を変更する画像処理装置および画像処理方法を提供することができる。

【図面の簡単な説明】

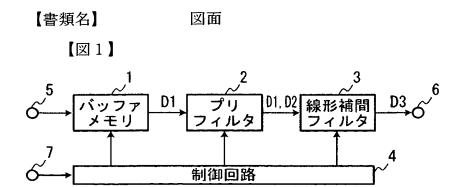
- 【図1】 本発明の第1の実施の形態に係る画像処理装置の構成を示すブロック図。
- 【図2】 本発明の第1の実施の形態に係る画像処理装置における、プリフィルタの構成を示す回路図。
- 【図3】 本発明の第1の実施形態に係るプリフィルタにおいて偶数タップを形成した場合の生成画素と実画素との位置関係を示す図。
- 【図4】 本発明の第1の実施の形態に係るプリフィルタにおいて奇数タップを 形成した場合の生成画素と実画素との位置関係を示す図。
- 【図5】 本発明の第1の実施の形態に係るプリフィルタにおいて偶数タップを 形成した場合の動作を示すタイムチャート。
- 【図6】 本発明の第1の実施の形態に係るプリフィルタにおいて奇数タップを 形成した場合の動作を示すタイムチャート。
- 【図7】 本発明の第1の実施の形態に係るプリフィルタの出力データを表す図
- 【図8】 本発明の第1の実施の形態に係る画像処理装置における、線形補間フィルタの構成を示す回路図。
- 【図9】 本発明の第1の実施の形態に係る画像処理装置により拡大処理した画像の画素値を表す図。
- 【図10】 本発明の第1の実施の形態に係る画像処理方法の手順を示すフローチャート。
- 【図11】 本発明の第2の実施の形態に係る画像処理装置の構成を示すブロック図。
- 【図12】 本発明の第2の実施の形態に係る画像処理装置における、プリフィルタの構成を示す回路図。
- 【図13】 本発明の第2の実施の形態に係るプリフィルタの出力データを表す図。

- 【図14】 本発明の第2の実施の形態に係る画像処理装置における、線形補間フィルタの構成を示す回路図。
- 【図15】 本発明の第2の実施の形態に係る画像処理装置により拡大処理した 画像の画素値を表す図。
- 【図16】 本発明の第2の実施の形態に係る画像処理方法の手順を示すフローチャート。
- 【図17】 本発明の第3の実施の形態に係る画像処理装置の構成を示すブロック図。
- 【図18】 本発明の第3の実施の形態に係る画像処理装置における、プリフィルタの構成を示す回路図。
- 【図19】 本発明の第3の実施の形態に係る画像処理装置における、線形補間フィルタの構成を示す回路図。
- 【図20】 本発明の第3の実施の形態に係る画像処理方法の手順を示すフローチャート。
- 【図21】 本発明の第4の実施の形態に係る画像処理装置の構成を示すブロック図。
- 【図22】 サンプル画像の画素値を表す図。
- 【図23】 本発明の第4の実施の形態に係るプリフィルタの出力データを表す図。
- 【図24】 本発明の第4の実施の形態に係る画像処理装置における、画素値許容範囲決定回路の構成を示す回路図。
- 【図25】 本発明の第4の実施の形態に係る画像処理装置における、線形補間フィルタの構成を示す回路図。
- 【図26】 本発明の第4の実施の形態に係る画像処理装置により拡大処理した 画像の画素値を表す図。
- 【図27】 本発明の第4の実施の形態に係る画像処理方法の手順を示すフローチャート。
- 【図28】 従来の画素補間方法における、補間画素の両脇の参照画素2点から 補間画素が受ける影響の変化を表す図。

- 【図29】 サンプル画像の画素値を表す図。
- 【図30】 従来の画素補間方法により、図29に示したサンプル画像の画像サ
- イズを2.5倍に変換した画像の画素値を表す図。

【符号の説明】

- 1…バッファメモリ
- 2、62、79、83…プリフィルタ
- 3、63、80、85…線形補間フィルタ
- 4、86…制御回路
- 5, 7, 25, 27, 32, 43, 44, 52, 54, 58, 65, 75, 87
- 、99、103、104…入力端子
- 6、41、42、61、78、100、102…出力端子
- 8~24、45~50、66~71、88~92…レジスタ
- 26、51、53、95、97…セレクタ
- 28~31、37~39、55、59、72、76、93…加算器
- 33~36、57、74…乗算器
- 40、77、82、105…振幅制限器
- 56、73、94、101…反転器
- 60、64、81…四捨五入器
- 8 4 … 画素值許容範囲決定回路
- 96…論理和回路
- 98…論理積回路



1…バッファメモリ

6…出力端子

2…プリフィルタ

D1…実画素の画素値

3…線形補間フィルタ

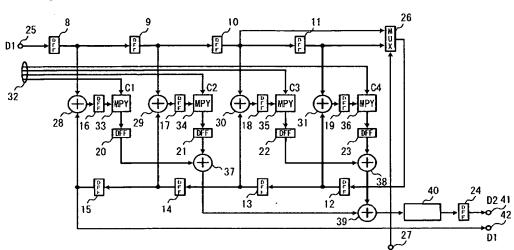
D2…生成画素の画素値

4…制御回路

D3…補間画素の画素値

5、7…入力端子





8~24…レジスタ

40…振幅制限器

25、27、32…入力端子

41、42…出力端子

26…セレクタ

D1…実画素の画素値

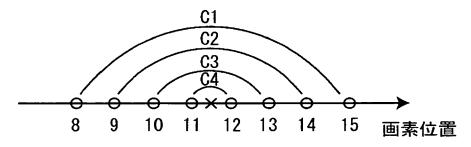
28~31、37~39…加算器

D2…生成画素の画素値

33~36…乗算器

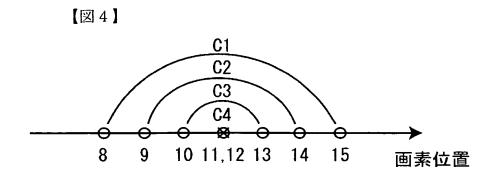
C1、C2、C3、C4…フィルタ係数

【図3】



〇 実画素

× 生成画素



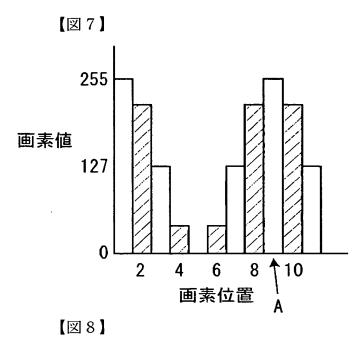
○ 実画素× 生成画素

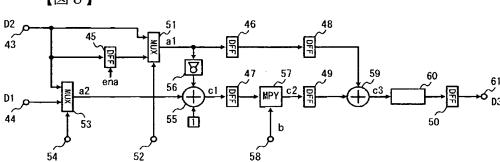
【図5】

	T1	T2	Т3	T4	T5	Т6
25	40P	80p	60P	d10	d11	d12
∞	90p	d07	90p	60p	d10	d.1
6	405	900	40 <i>7</i>	80p	60P	d10
10	d04	d05	90b	40 <i>7</i>	80p	60P
_	d03	d04	d05	90b	407	90p
12	d02	d03	d04	d05	90p	40 <i>7</i>
13	d01	d02	d03	d04	d05	90b
14	00p	401	d02	403	d04	d05
15		900 900	d01	d02	d03	d04
28			400+d07	d01+d08	d02+d09	d03+d10
29			d01+d06	d02+d07	d03+d08	d04+d09
30			d02+d05	d03+d06	d04+d07	d05+d08
31			d03+d04	d04+d05	905+406	d06+d07
33				C3×(d00+d07)	C3×(d01+d08)	C3×(d02+d09)
34			1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	C2×(d01+d06)	C2×(d02+d07)	C2×(d03+d08)
35				$C1 \times (d02 + d05)$	C1×(d03+d06)	C1×(d04+d07)
36	1		1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	$C0 \times (d03 + d04)$	C0×(d04+d05)	C0x(d05+d06)
41						flt(d01,,d04,
-		1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1			d04, d07)	d05, ,,d08)
42		900 d	d01	d02	d03	d04

【図6】

	11	.T2	Т3	T4	T5	1 91
25	40P	90P	60P	d10	d11	d12
∞	90p	d07	90p	60p	d10	d1
တ	d05	906	40 <i>7</i>	90p	60P	d10
0	d04	d05	90P	40 <i>7</i>	90p	60P
-	d03	d04	d05	90p	d07	90p
12	903	d04	d05	90P	40 <i>7</i>	90p
13	d02	d03	d04	d05	900	40 <i>7</i>
14	d01	d02	d03	d04	d05	90P
15	00P	d01	d02	d03	d04	d05
28		400+00p	d01+d07	d02+d08	403+d09	d04+d10
29		d01+d06	d02+d06	d03+d07	d04+d08	d05+d09
30		d02+d05	d03+d05	d04+d06	d05+d07	406+d08
31		d03+d04	d04+d04	d05+d05	90P+90P	d07+d07
33			$C3 \times (400 + 406)$	$C3 \times (d01 + d07)$	C3×(d02+d09)	C3×(d03+d09)
34			C2×(d01+d05)		_	C2×(d04+d08)
35			$C1 \times (d02 + d04)$	$C1 \times (d03 + d05)$	_	C1×(d05+d07)
36			C0×(d03+d03)	_	\sim	C0x(d06+d06)
41					Ξ.	flt(d02,,d05,
	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	1	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	d03,d06)	d04,d07)	d05,,d08)
42	900 900	d01	d02	d03	d04	d05





43、44、52、54、58…入力端子

45~50…レジスタ

51、53…セレクタ

55、59…加算器

56…反転器

57…乗算器

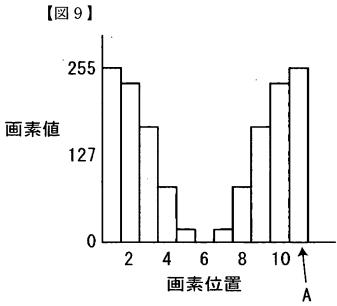
60…四捨五入器

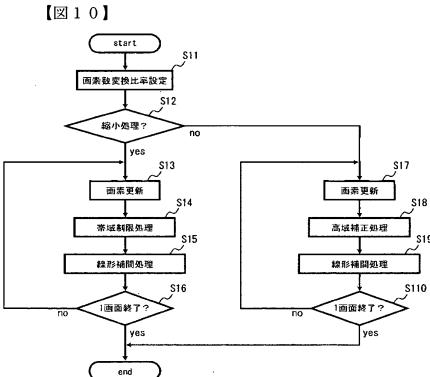
61…出力端子

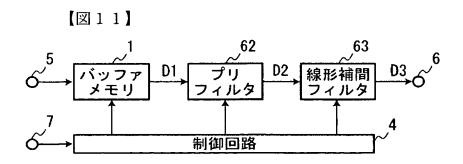
D1…実画素の画素値

D2…生成画素の画素値

D3…補間画素の画素値







1…バッファメモリ

63…線形補間フィルタ

4…制御回路

D1…実画素の画素値

5、7…入力端子

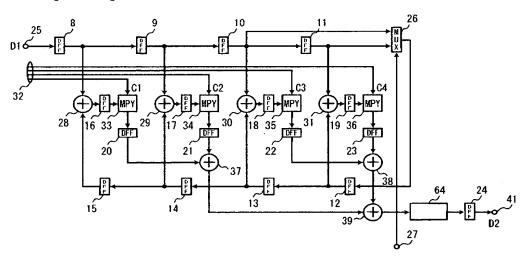
D2…生成画素の画素値

6…出力端子

D3…補間画素の画素値

62…プリフィルタ

【図12】



8~24…レジスタ

41…出力端子

25、27、32…入力端子

64…四捨五入器

26…セレクタ

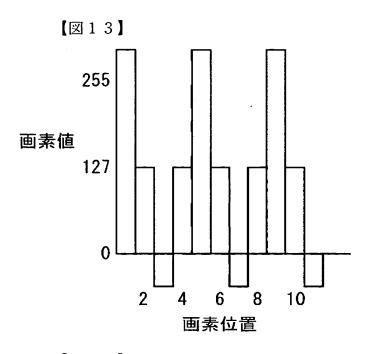
D1…実画素の画素値

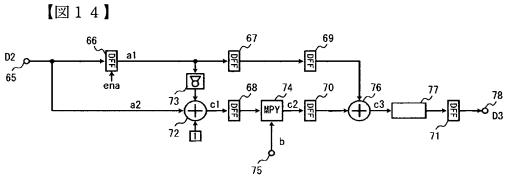
28~31、37~39…加算器

D2…生成画素の画素値

33~36…乗算器

C1、C2、C3、C4…フィルタ係数





65、75…入力端子

66~71…レジスタ

72、76…加算器

73…反転器

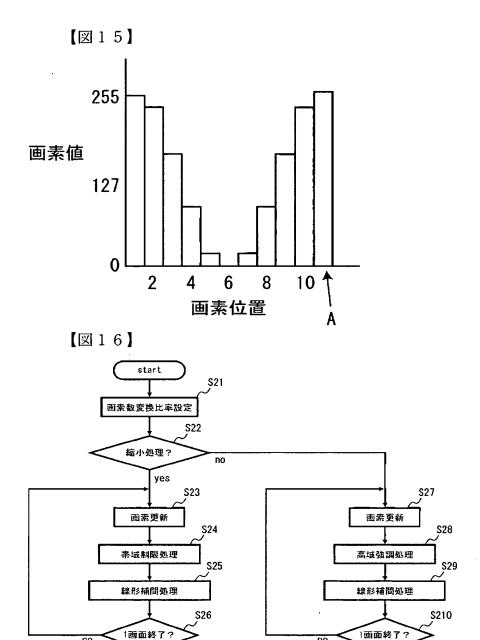
74…乗算器

77…振幅制限器

78…出力端子

D2…生成画素の画素値

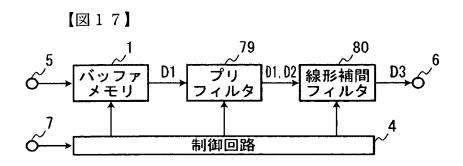
D3…補間画素の画素値



yes

end

yes



1…バッファメモリ

80…線形補間フィルタ

4…制御回路

D1…実画素の画素値

5、7…入力端子

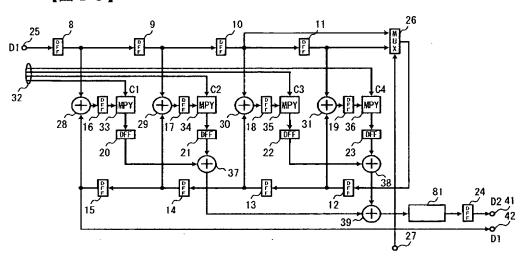
D2…生成画素の画素値

6…出力端子

D3…補間画素の画素値

79…プリフィルタ

【図18】



8~24…レジスタ

41、42…出力端子

25、27、32…入力端子

81…四捨五入器

26…セレクタ

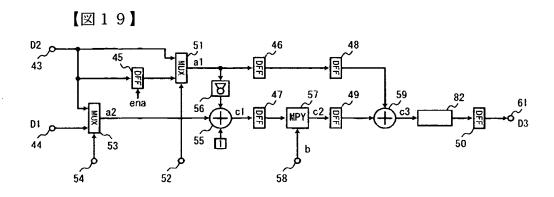
D1…実画素の画素値

28~31、37~39…加算器

D2…生成画素の画素値

33~36…乗算器

C1、C2、C3、C4…フィルタ係数



43、44、52、54、58…入力端子

61…出力端子

45~50…レジスタ

82…振幅制限器

51、53…セレクタ

D1…実画素の画素値

55、59…加算器

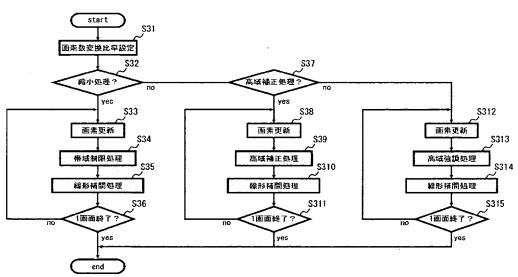
D2…生成画素の画素値

56…反転器

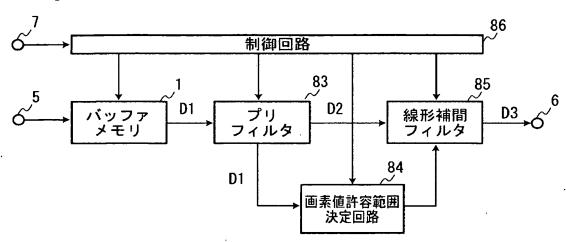
D3…補間画素の画素値

57…乗算器

【図20】







1…バッファメモリ

5、7…入力端子

83…プリフィルタ

84…画素值許容範囲決定回路

85…線形補間フィルタ

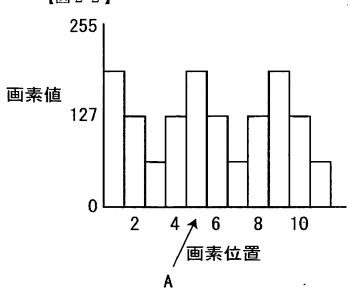
86…制御回路

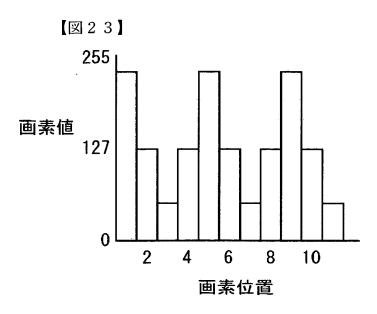
D1…実画素の画素値

D2…生成画素の画素値

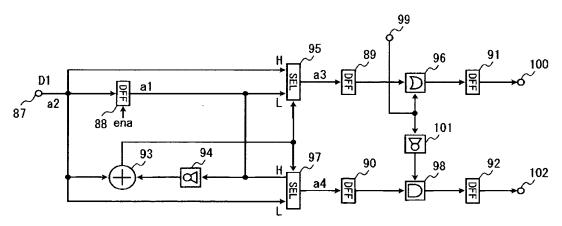
03…補間画素の画素値

【図22】





【図24】



87、99…入力端子

88~92…レジスタ

93…加算器

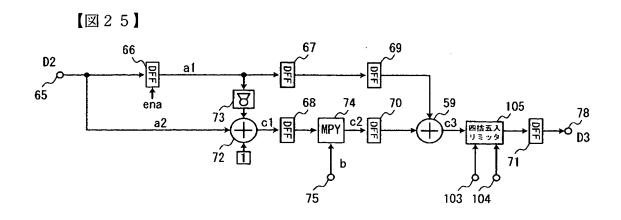
94、101…反転器

95、97…セレクタ

98…論理積回路

100、102…出力端子

D1…実画素の画素値



65、75、103、104…入力端子

66~71…レジスタ

72、76…加算器

73…反転器

74…乗算器

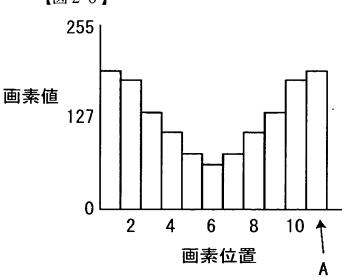
【図26】

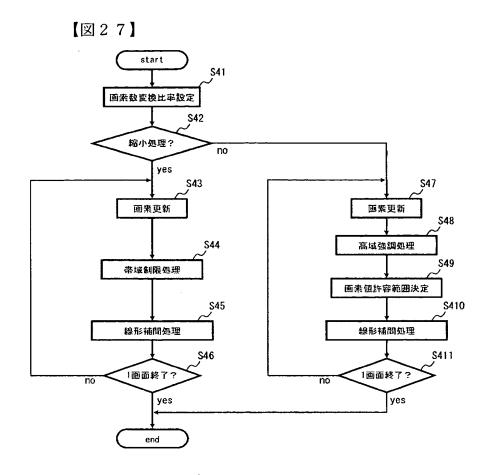
78…出力端子

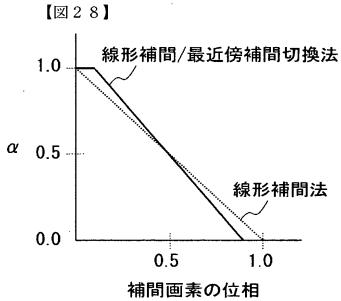
105…振幅制限器

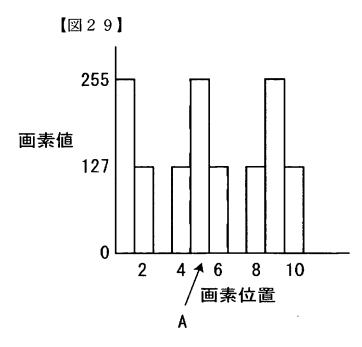
D2…生成画素の画素値

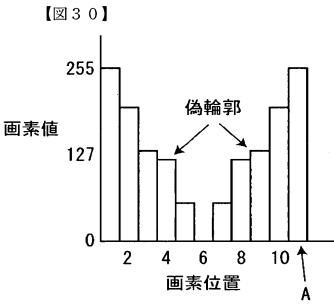
03…補間画素の画素値











【書類名】 要約書

【要約】

【課題】 元画像の状態を維持しつつ、画像の画素数を変更する画像処理装置および画像処理方法を提供することを目的とする。

【解決手段】 実画素の画素値D1が入力され、この実画素の画素値D1を用いて高域補正された生成画素の画素値D2を算出するプリフィルタ2と、プリフィルタ2から実画素の画素値D1および生成画素の画素値D2が入力され、これらの画素値を用いて線形補間法により補間画素の画素値D3を算出する線形補間フィルタ3とを具備することを特徴としている。

【選択図】 図1

認定・付加情報

特許出願の番号 特願2003-202132

受付番号 50301237056

書類名 特許願

担当官 第三担当上席 0092

作成日 平成15年 7月30日

<認定情報・付加情報>

【提出日】 平成15年 7月25日

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目1番1号

【氏名又は名称】 株式会社東芝

【代理人】 申請人

【識別番号】 100083161

【住所又は居所】 東京都港区芝浦1丁目1番1号 株式会社東芝本

社事務所内

【氏名又は名称】 外川 英明

特願2003-202132

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 [変更理由]

发 更 埋 田 〕 住 所 氏 名 2001年 7月 2日

住所変更

東京都港区芝浦一丁目1番1号

株式会社東芝